This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

DIALOG(R)File 352:DERWENT

(c) 2000 DERWENT INFO LTD. All rts. reserv.

008363249

Image available

WPI Acc No: 90-250250/199033

XRAM Acc No: C91-106685

XRPX Acc No: N91-187487

Mfr. of thin film poly-silicon@ structure e.g. transistor - by depositing first heavily doped polysilicon@ layer, forming surface diffusion barrier

and adding second undoped polysilicon@ layer

Patent Assignee: IND RES INST OF JAPAN (KOGY); IND TECHN RES INST

(INTE-N)

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No Kind Date

Applicat No Kind Date

Main IPC

Week

JP 2174170 A 19900705 JP 89196440 A 19890728

199033 B

US 5037766 A 19910806 US 90466583 A 19900117

199134

Priority Applications (No Type Date): US 88280646 A 19881206; US 90466583 A 19900117

Abstract (Basic): JP 2174170 A

Claimed is a lead frame comprising on the whole surface thereof, or on the surface except for the outer lead parts, a Ni-(alloy) plating layer, provided that at least the die bonding part of the Ni(alloy) plating layer comprises thereon a Ni-Sn alloy layer and further thereon a Sn-(alloy) plating layer.

The mfg. process comprises forming the Sn-(alloy) plating layer on the Ni-(alloy) layer and heating to obtain the Ni-Sn alloy layer between the plated layers.

USE/ADVANTAGE - Improves solder bondability of semiconductor chips with Ni or the lead frame. (5pp Dwg.No.0/0)

Title Terms: MANUFACTURE; THIN; FILM; POLY; SILICON; STRUCTURE; TRANSISTOR; DEPOSIT; FIRST; HEAVY; DOPE; POLY; SILICON; LAYER; FORMING; SURFACE; DIFFUSION; BARRIER; ADD; SECOND; UNDOPED; POLY; SILICON; LAYER

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/26; H01L-027/04;

H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

03198670

THIN-FILM TRANSISTOR AND TWO-LAYER POLYSILICON THIN-FILM STRUCTURE FOR

THIN-FILM RESISTOR

PUB. NO.:

02-174170 [JP 2174170 A]

PUBLISHED:

July 05, 1990 (19900705)

INVENTOR(s): CHINNSHIN WAN

APPLICANT(s): IND TECHNOL RES INST [198533] (A Non-Japanese Company or

Corporation), TW (Taiwan)

APPL. NO.:

01-196440 [JP 89196440]

FILED:

July 28, 1989 (19890728)

PRIORITY:

7-280,646 [US 280646-1988], US (United States of America),

December 06, 1988 (19881206)

INTL CLASS:

[5] H01L-029/784; H01L-027/04; H01L-027/11

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R100 (ELECTRONIC MATERIALS - Ion Implantation)

❸日本国特許庁(JP)

面特許出題公開

平2-174170 公開特許公報(A)

@Int. CL.3

識別記号

庁内整理番号

❷公開 平成2年(1990)7月5日

H 01 L

7514-5F P

H 01 L 8624-5F 8624-5F

3 1 1 3 8 1

請求項の数 10 (全6頁) 签查請求

60発明の名称

薄膜トランジスタおよび薄膜抵抗器用二層ポリシリコン薄膜構造

頭 平1-196440 创特

图 平1(1989)7月28日 多出

優先権主張

❷1988年12月 6日參米區(US)❸280646

明 者 の発

チンーシン・ワン

台湾新竹市光華街22巷 3 號

の出・取

財団法人工業技術研究

台湾新竹県竹東鎮中興路四段195号

院

20代 理 人

外4名 恭三 弁理士 湯茂

1. 発明の名称

邴 狭トランジスタおよび 薄膜 抵抗器用二層 ポ リシリコン神族構造

2. 特許請求の範囲・

1. 第1層の高速皮ドープド階と、第2層の米 ドープド層と、高素度ドープド層に形成されか つ高濃度ドープド層と未ドープド層との間に介 在されて、高油底ドープド層にドーピングされ たドーパントが、上記高速度ドープド層から上 記未ドープド層へ拡散するのを低止するよう形 皮された拡散阻止領域と、を含むよう資皮され たことを特徴とする二層多統品半導体器底接差。 2. 上記抜敗阻止領域は、上記高級度ドープド 層の長道に、ガス処理により形皮されたことを 城块型-

3. 上記ガス処理は、酸素を使用したことを特 徴とする謂求項3記載の二層多緒品半導体薄膜 22.

- 4.上記ガス処理は、窒素を使用したことを特 改とする請求項2記載の二層多徳品半導体薄膜
- 5 . 請求項1記載の二層多結晶半導体再膜構造 において、鉄構造は抵抗器を構成しており、上 記未ドープド層は高抵抗率の抵抗を形成し、上 記賞過度ドープド層は鉄抵抗器のコンタクト領 域を形成することを特徴とする、二層多緒品半 退体模准。
- 6.上記半導体はシリコンであることを特徴と する讃求項1記載の二層多緒品手導体等談構造。 7.上記ドーピンダされたドーパントは、ひ書、 リン又は水ウ素であることを特徴とする請求項 6 記載の二層多語品半導体存譲構造。
- 8.上記職案処理は、上記高機変ドープド層が ドーピングされたのちに実行されることを特徴 とする讃求項3記載の二層多語品半導件等膜網
- 9. 上記欧素処理は、移訳された厳素により、 4 0 0 ℃ - 5 0 0 ℃の延度範囲で実行されるこ

_特別平2-174170(2)

とも 後とする語求項3記表の二層多結品半導体開議機遇。

10.上記未ドープド層が薄膜電影効果トラン ジスタのチャネルとして用いられ、このチャネ ルは、制御電極としての絶難ゲートを増えるこ とを特徴とする二層多結品半導体薄膜構造。

3.最明の辞損な説明

[産業上の利用分野]

本是明は、二層多結品等膜である二層ボリシリコン専膜構造に関し、特に確常拡致技術を用いて 小型化した二層ボリシリコン等膜構造を有する専 膜電界効果トランジスタ及び溶膜抵抗器に関する。

[従来の技術]

高級抗性ポリシリコンは、スタティックラング ムアクセスメモリ(Static Basdem Access Hemery) に高記憶団度と低消費電力(Lew Pewer Bissipaties)の特性を持たせることができるが、結晶粒界 中の高温度ドーパントは、高い拡散係数を有する ため、ポリシリコン薄膜を抵抗器として用いた場 合に抵抗器を小型化することができなかった。従

は、高い記憶由度と高い演算道度の三次元集復回 路を実現する場合の必要条件であると述べ、薄膜 トランジスタの小型化及び低スレッショルド化の 必要性を述べている。

[発明が解決しようとする暴風]

ところが、T.Okineeeが是黒した方法で酸素を注入した場合、ポリシリコン等酸法次器を小型化する
効果を要することができるが、ポリシリコン薄板
トランジスタの場合は、それの製造が容易ではない。
の製造があった。即のでは、現立されるポリシリコン薄膜トランジスタのには、現立されるポリシリコン専族トランジスタのを解は、ボ気域に関末を住入する時点で、ポリシリコン薄膜トランジスタの製造があった。
ないのでは、ボリンジョールド電圧を所定してルに抑えるためには、ボスレジョールド電圧を所定してルに抑えるためには、カールド電圧を所定して、ポリシリコン薄膜トランドでは、カールド電圧を所定して、ポリシリコン薄膜トランドではなかった。

Bakta等は IEEE laterna-来の技 文献として tional Electron Davices Meeting Proceedings (1918) . "A. Hevel Scaled Daws Oxyges Implasted Polysilices Besister for feture static Balls"を発表した。その論言は、難潔を住入する ことにより、再讓些抗器を小型化しようとする着 想にある。そして、f.Obreseは、IEEE Transaction on Electron Derines, Fot ED-32, Sopember (19 \$5), p. 1749-1755E . "les-Inplanted This Polyccratal-line silican Eigh-Falue Resistors for Eigh Bessity Poly-Lood Static RAM Application ◆& 5 ° と題して、酸素をポリシリコン層に注入する ことにより、高島処理後の結晶位界でのドーパン ト(だとえば、ひ楽)の拡散速度は急減されると述 べた。T.Ohisasebまた、HEE Journal of salid state circuit, Vel. SC-15. Oct. (1988). 9.854-861 K. "An BErbBit static MOS RAM Fabricated by a-MOS/a-vell CMOS Technology"と思して、ポリシ リコン薄膜トランジスタを小型化し、かつできる だけ低いスレッショールド電圧を保有させること

本見明の第1の目的は、ドーパントが結晶数果に 治って高速度ドープド領域から未ドープド源本質 領域へ拡散するのを阻止しようとすることである。

第2の目的は、ポリンリコン薄膜抵抗器及びポ リンリコン薄膜トランジスタの小型化を増進しよ うとすることである。

・ 第3の目的は、スレショルド電圧が低いポリシ リコン薄膜トランジスタを提供することである。

第4の目的は、余計なモノリングラフィックプロセスを必要とすることなく、同一層にポリシリコン再駆域抗器及び再膜トランジスクを製造することのできるプロセスを提供しようとすることでもス・

[課題を解決するための手段]

本発明のこれらの目的は、第1層の高濃度ドープド層(領域)が形成された時点で放應に対し酸素処理を直して改層の表面及び結晶な界へ酸素を拡散させ、その後形成される第2度の未ドープド層(領域)への、高速度ドープド層からのドーパットの拡散を阻止するようにしたことにより達成

ans.

本発明では、二層多線品(ポリシリコン)検皮を使用しており、高濃度ドープド層は電磁域はつかりを使用しており、高濃度ドープド層は電域はつかが着では、まドープド層はない。また、カースのカーでは、大力をはいるのが作られ、再度トランジスタとして対反した場合にはそのスレッショルド電圧が比較的ないものが得られる。

[実進價]

本発明の上記目的及び特徴は下記の説明と図面から明らかになるのであろう。

第1因には、本発明の一実施例の二層ポリシリコン再製扱抗器の接新面図が示されている。ひ裏(A・)、リン又はボケ素(B・)でドープされた実験 歴ドープドポリシリコン層(1)は、再選金技(B・)などのでは、本質型(ibtrissic type)に異し、高級抗学(2)は、本質型(ibtrissic type)に異し、高級抗学(単位長さ当たりの抵抗値)の抵抗器として使用される。基級(3)は任意の能像体からなるもの

形成される。次に第3個(b)に示されるように 約400~500度Cの温度で約5~10分間酸 素処理を実行し、酸素を高濃度ドープドポリシリ コン層(1)の表面及び結晶粒界へ拡散させまい 酸素分子は図中、ドットで示されており、傾向 に格子で表された粒界及び層(I)の表面に される。その後、第3箇(c)に示されるに 未ドープド本質ポリシリコン層(2)が最上部に 砂成される。この場合もLPCVD法を用いて、 約560度Cの温度で形成される。

このように形成された薄膜抵抗器において、高 適度ドープドシリコン層(1)にドープされたド ーパントは、酸素分子の存在により本質ポリシリコン層(2)へ拡散されることがない。また、酸素分子は本質ポリシリコン層(2)が形成された 後は第3国(c)に模式的に示された位置に留ど まることになる。

第4回は、上記の酸素処理を築した再展型抗器 の拡放率(即5、単位長さ当たりの抵抗値)とマ .スケ長との関係を、酸素処理の時間をランニング で、未ドープド層の ボリシリコン層(2)が形 成される前に、高速度ドープドポリシリコン層 (1)は形成される。

第3因には、第1因の薄皮症状等の製造方法が 示されている。第3因(a)に示されるように、 まず高濃度ドープドポリシリコン層(1)が基板 (3)上に形成される。これは例えば、圧圧化学 気相皮及法(1PCVD)により約610度Cで

パラメータとして示している。 この図から、マスク長の短い抵抗器においては、酸素処理の時間が 近くなればなるほど、抵抗率がより急激に低下す る事が特る。 従って所定時間以上の酸素処理がマ スク長の短い抵抗器の高抵抗率を再る場合に効果 がある事が得る。

第2図に示した構造の電界効果トランジスタは、 神波弧抗器を形成するための第3図(a)~(c) の工程後、絶線層(14)及びゲート電極(15) を形成することによって形成されるものである。

海便電界効果トランスタにおいて、もし酸素 鬼が全く行われていなければ、ドーパントはト ランジスタのドレイン及びソース側域(即ち高後 皮ドープドポリシリコン層)へ侵入してもまうだ。 即のスレップを選集をある。 の、スリンド電圧が高くなってはまうが、 本発明ポリシリコン層に酸素地ではない。 本発明ポリシリコン層に酸素地ではない。 本発明ポリシリコン層に酸素地ではない。 大学ンネル長の短い等膜MOSトランできる。 のスレショルド電圧の上昇を防止する事ができる。

一持爾平2-174170(**4)**

第5回には、本発明による海護MOSトランジスタのドレイン電流(La)対ゲート電圧(Vas)の関係特性医が示されている。この例のトランジスタは、報50mm、長さ2mm、チャンネル層の厚さ0.8 mmである。ゲート絶役体層は二層に形成されており、下層は350人の二酸化ケイ素(SiOz)で、上層は300人の塩化ケイ素(SiNi)である。ドレイン電圧が急速に低下していることが帰るが、この電圧値はスレショルド電圧であり、比較的低レベルとなっている事が解る。

なお、上記した説明においては、酸素処理を行うことにより拡散阻止領域を形成しているが、別の気体例えば、窒素を酸素の代わりに用いても同様な効果が得られるものである。 従って本発明は 酸素処理に限定されるものではない。

[発明の効果]

本発明は以上のように構成されているので、マ スク長の比較的短い抵抗器であっても、その抵抗 値を比較的大きくすることができ、また電界効果

3 … 基板

- 14ーゲート絶縁体帯
- 15…ゲート電探

尺型 人 弁理士 **海 決 卷** 主题 (外 4 名

トランジスタの場合にはマスク長の短いものであってもスレッショルド電圧を比較的低くす。ことができ、したがって抵抗値の大きい抵抗器、及びスレッショルド電圧の高い電界効果トランジスタを 高密度にかつ容易に形成することができる。

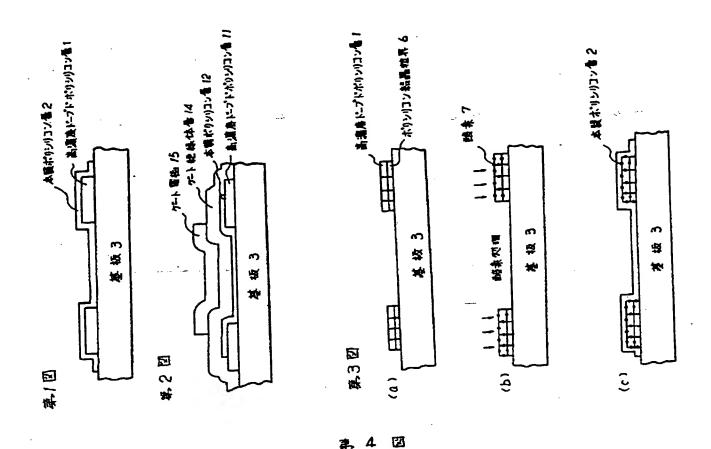
4. 因面の簡単な説明

第1個は本発明の実施例による二層ポリシリココを 神膜技術等の観察面面のようのの変 例による二層ポリシリココンのの変 のでは、一層では、一層では、一層では、 のでは、

1、11…高級皮ドープドポリシリコン層 (第1層)

電圧神性を示す特性固である。

2、12…未ドープド本質ポリシリコン層 (第2層)

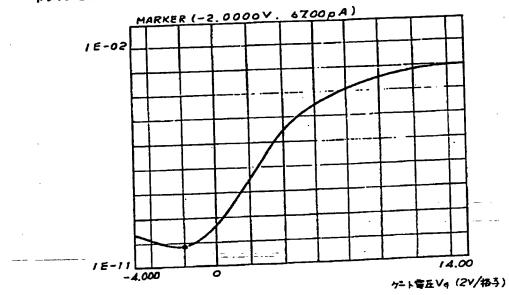


4

12 /1 ਰ 10 10G(R) 铅税率 9 ly = 450Å °C 3hr, 950°C 30min 8 7 6 5 4 14 12 io 3 マスク長 (µm)

第 5 团

ドレイン電流 In (A)



DIALOG(R)File 352:DER T WPI
(c) 2000 DERWENT INFO LTD. All rts. reserv.

008363249 **Image available**

WPI Acc No: 90-250250/199033

XRAM Acc No: C91-106685

XRPX Acc No: N91-187487

Mfr. of thin film poly-silicon@ structure e.g. transistor - by depositing first heavily doped polysilicon@ layer, forming surface diffusion barrier

and adding second undoped polysilicon@ layer

Patent Assignee: IND RES INST OF JAPAN (KOGY); IND TECHN RES INST

(INTE-N)

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No Kind Date Applicat No Kind Date Main IPC Week

JP **2174170** A 19900705 JP 89196440 A 19890728

199033 B

US 5037766 A 19910806 US 90466583 A 19900117

199134

Priority Applications (No Type Date): US 88280646 A 19881206; US 90466583 A 19900117

Abstract (Basic): JP 2174170 A

Claimed is a lead frame comprising on the whole surface thereof, or on the surface except for the outer lead parts, a Ni-(alloy) plating layer, provided that at least the die bonding part of the Ni(alloy) plating layer comprises thereon a Ni-Sn alloy layer and further thereon a Sn-(alloy) plating layer.

The mfg. process comprises forming the Sn-(alloy) plating layer on the Ni-(alloy) layer and heating to obtain the Ni-Sn alloy layer between the plated layers.

USE ADVANTAGE - Improves solder bondability of semiconductor chips with Ni or the lead frame. (5pp Dwg.No.0/0)

Title Terms: MANUFACTURE; THIN; FILM; POLY; SILICON; STRUCTURE; TRANSISTOR; DEPOSIT; FIRST; HEAVY; DOPE; POLY; SILICON; LAYER; FORMING; SURFACE; DIFFUSION; BARRIER; ADD; SECOND; UNDOPED; POLY; SILICON; LAYER

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/26; H01L-027/04;

H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPI (c) 1999 JPO & JAPIO. All rts. reserv.

03198670

THIN-FILM TRANSISTOR AND TWO-LAYER POLYSILICON THIN-FILM STRUCTURE FOR

THIN-FILM RESISTOR

PUB. NO.:

02-174170 [JP 2174170 A]

PUBLISHED:

July 05, 1990 (19900705)

INVENTOR(s): CHINNSHIN WAN

APPLICANT(s): IND TECHNOL RES INST [198533] (A Non-Japanese Company or

Corporation), TW (Taiwan)

APPL. NO.:

01-196440 [JP 89196440]

FILED:

July 28, 1989 (19890728)

PRIORITY:

7-280,646 [US 280646-1988], US (United States of America),

December 06, 1988 (19881206)

INTL CLASS:

[5] H01L-029/784; H01L-027/04; H01L-027/11

JAPIO CLASS: 42.2 (ELECTRONICS - Solid State Components)

JAPIO KEYWORD:R100 (ELECTRONIC MATERIALS - Ion Implantation)

❷日本国特許庁(JP)

①特許出願公開

@公開特許公報(A) 平2-174170

@Int.CL 3

差別記号

庁内整理番号

❷公開 平成2年(1990)7月5日

H 01 L 29/784

P 751

7514—5F

8624—5F 8624—5F L 29/78 27/10 3 1 1 3 8 1

審査課求 有 請求項の数 10 (全6頁)

会発明の名称

薄膜トランジスタおよび薄膜抵抗器用二層ポリシリコン薄膜構造

公特 頭 平1-196440

②出 顧 平1(1989)7月28日

優先権主張

愛1988年12月6日愛米區(US) ᡚ280646

②発明者

チンーシン・ワン

台湾新竹市光華街22巷 3 號

顯 人 財団法人工業技術研究

台湾新竹県竹東鎮中興路四段195号

院

100代 理 人

会出

弁理士 湯茂 恭三 外4名

朔 讃 🍍

1. 発明の名集

再度トランジスタおよび再度抵抗器用二層ポ リシリコン選修建設 ・

2. 特許請求の範囲 -

3. 上記ガス処理は、酸素を使用したことを特徴とする調求項2記載の二層多額品半導体薄額 数差。 4. 上記ガス処理は、銀素を使用したことを特徴とする請求項2記載の二層多結晶半導体薄製 施設。

5. 請求項 1 記載の二層多結品半導体薄膜調査 において、装牌器は抵抗器を譲渡しており、上 記未ドープド層は高抵抗率の抵抗を形成し、上 記高過度ドープド層は該抵抗器のコンタクト領 域を形成することを特徴とする、二層多結晶半 温体構造。

6. 上記半導体はシリコンであることを特徴と する請求項1記載の二層多結晶半導体薄膜構造。 7. 上記ドーピンダされたドーパントは、ひ葉、 リン又はホウ素であることを特徴とする請求項 6記載の二層多結晶半導体薄膜構造。

8. 上記職業処理は、上記高機度ドープド層が ドーピングされたのちに実行されることを特徴 とする請求項3記載の二層多額品半導体等機構 連。

9. 上記職業処理は、権权された競素により、 4.0.0 セー 5.0.0 セの温度範囲で実行されるこ とそ 敬とする語 記載の二層多結品半導体弾弧線道。

10.上記未ドープド階が薄銭電界効果トラン ジスタのチャネルとして用いられ、このチャネ ルは、制御電極としての絶難ゲートを望えるこ とを特徴とする二層多緒品半導体薄銭構造。

3. 発明の詳細な登明

[重票上の利用分野]

本是現は、二層多絡品帯膜である二層ポリシリコン帯膜構造に関し、特に酸素拡散技術を用いて 小型化した二層ポリシリコン幕膜構造を有する幕 膜電界効果トランジスタ及び薄膜抵抗器に関する。

[従来の技報]

高型抗性ポリシリコンは、スタティックランダムアクセスメモリ(Static Bazdon Access Memory) に高記憶密度と低消失電力(Low Power Bissipali+s)の特性を特にせることができるが、結晶粒界 中の高音度ドーパントは、高い拡散係数を有する ため、ポリシリコン薄膜を抵抗器として用いた場合に抵抗器を小型化することができなかった。従

は、高い記憶密度と高い資業速度の三次元集限回 路を実現する場合の必要条件であると述べ、薄膜 トランジスタの小型化及び低スレッショルド化の 必要性を述べている。

[発明が解決しようとする展理]

ところが、T. Obtive of 是来した方法で酸素を注入した場合、ポリシリコン等護法院番を小型化工業等
かまることができるが、ポリシリコン署領
トランジスタの場合は、それの製造が容易ではないが問題されるポリシリコン第底トランジスタのはない。即コンのは、まっつには、カウェルド電圧があれたしまうので、それない、は、領域に改革を住立るで、で、では、領域に改革を注意を持つで、ポリンカーには、領域に改革を注意を対した。では、アウェールドでは、アウェールドでは、アウェールドでは、アウェールドでは、アウェールドでは、アウェールドでは、アウェールドでは、アウェールドでは、アウェールドでは、アウェールドでは、アウェールドウラフィーン等族となるの要素が存むなかった。

て、2. Sakta等は IEEE lateraa-果の技教文章 tional Electron Devices Meeting Proceedings (1918) E. "A. Bivel Scaled Dava Oxygen Inglantes Polysilices Resister for fature static RAMis"を発送した。その論旨は、酸潔を注入する ことにより、存填抵抗器を小型化しようとする者 進にある。そして、T.Ohreseは、LEEE Transactien an Bleetron Deriges, Fol ED-32, Sepember (19 15), p. 1749-1755 C. "len-Implanted Thin Polyccystal-line allicen Eigh-Falne Resisters for Rich Beautty Poly-Lood Static RAN Application ess[®]と思して、競索をポリシリコン層に注入する ことにより、高熱処理後の結晶位界でのドーパン ト(だとえば、ひ書)の拡散速度は急減されると述 べた。t.Ohioseもまた、IEEE Joareal of solid state circuit. Vel. SC-15. Oct. (1988), p. 354-861 C. "An BErblit static MOS TAM Fabricated by a-WOS/a-well CMOS Technology*と思して、ポリシ リコン薄膜トランジスタを小型化し、かつできる だけ低いスレッショールド電圧を保有させること

本見明の第1の目的は、ドーパントが結晶粒果に 治って高速度ドープド領域から未ドープド層本質 領域へ拡散するのを阻止しようとすることである。

第2の目的は、ポリンリコン薄膜抵抗器及びポ リンリコン薄膜トランジスタの小型化を増進しよ うとすることである。

都3の目的は、スレショルド電圧が低いポリシ リコン薄膜トランジスタを提供することである。

第4の目的は、余計なモノリングラフィックプロセスを必要とすることなく、同一層にポリシリコン再整世状態及び薄膜トランジスクを製造することのできるプロセスを提供しようとすることである。

[薬題を解決するための手段]

本発明のこれらの目的は、第1層の高嚢度ドープド層(領域)が形成された時点で返歴に対し酸素処理を真して該層の表面及び適品容界へ概素を拡散させ、その後形成される第2層の未ドープド層(領域)への、高速度ドープド層からのドーパットの拡散を限止するようにしたことにより連ば

and.

W

本見野では、二層多語品(ポリシリコン)構成 を使用しており、高濃度ドープド層は電観域(コンタクト領域)として用いられ、来ドープド層は 低放 国又はMOSトランジスタのチャネル層として用いられ、低抗器として砂皮した場合にはその 低抗値が高いものが得られ、 薄膜トランジスタと して砂皮した場合にはそのスレッショルド電圧が 比較的低いものが得られる。

[要度例]

本発明の上記目的及び特徴は下記の夏明と図面から明らかになるのであろう。

第1回には、本発明の一実重例の二層ポリシリコン薄膜抵抗器の撤断面図が示されている。ひ第(As)、リン又はホウ素(B)でドープされた演員
反ドープドポリシリコン層(1)は、薄膜型抗器の 電極として使用され、第2層のポリシリコン層 (2)は、本質型(ibirigaic lyse)に異し、高低抗率(単位長さ当たりの抵抗値)の抵抗器として使用される。
基板(3)は任意の絶象体からなるもの

このように形成された薄膜抵抗器において、高 濃度ドープドシリコン層(1)にドープされたド ーパントは、酸素分子の存在により本質ポリシリ コン層(2)へ拡散されることがない。また、酸 素分子は本質ポリシリコン層(2)が形成された 袋は第3個(c)に模式的に示された位置に留ど まることになる。

第4回は、上記の設案処理を施した存民型抗算 の拡放率((即ち、単位長さ当たりの抵抗値)とマ .スク長との関係を、設案処理の時間をランニング

て、未ドー の本質ポリシリコン層(2)が形成される前に、高速度ドープドポリシリコン層(1)は形成される。

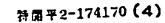
第2回には、本発明の一実施例の二層ポリシリコン降低トランジスタの設断面回が示されている。
高速度ドープドポリシリコン暦(1 1)は、第1
固に示された高速度ドープド層(1)と同様に電 をして用いられ、この場合はトランジスタのソースを通ばして用いられている。チャンスを領域は、第1回に示されたの第2回でのボリシリコン層(2)と同様の本質型ポリシリコン層(1 2)に形成である。さらにソート連取体層(1 4)が履潜されて電界効果トではゲート電低15が付されて電界効果トランスタが形成される。

第3因には、第1回の薄皮近状器の装造方法が 示されている。第3回(a)に示されるように、 まず高浸度ドープドポリシリコン層(1)が基板 (3)上に形成される。これは例えば、医圧化学 気相成長法(LPCVD)により約610度Cで

パラメータとして示している。この図から、マスク長の狙い選抗器においては、酸素処理の時間が 近くなればなるほど、抵抗率がより急激に低下す る事が料る。従って所定時間以上の酸素処理がマ スク長の狙い抵抗器の高抵抗率を得る場合に効果 がある事が得る。

第2回に示した構造の電界効果トランジスタは、 帯膜延抗器を形成するための第3回(2)~(c) の工程後、絶量層(14)及びゲート電医(15) を形成することによって形成されるものである。

薄膜電界効果トランジスタにおいて、もし酸素 風速が全く行われていなければ、ドーパントは ランジスタのドレイン及びソース領域(即ち高速 度ドープドポリシリコン層)からチャンネル領域 (即ち本質ポリシリコン層)へ侵入してしまうだ。 か発明における質素が、ななってしまうが、 本発明ポリシリコン層に改善を ープドポリシリコン層に改善を ープドポリシリコン層に のまた。 カ発明ポリシリコン層に のまた。 カスレッショルド電圧が のまた。 カスレッショルド電子を のまた。 カステンジスタ のスレッショルド電子を のストランジスタ のスレッショルド電圧の上昇を のスレッショルド電圧の上昇を のスレッショルド電圧の上昇を のスレッショルド電圧の上昇を のスレッショルド電圧の上昇を のスレッショルド電圧の上昇を のスレッショルド電圧の上昇を のスレッショルド電圧の上昇を のスレッショルド電圧の上昇を



第5国には、本発明による薄膜MOSトランジスタのドレイン電流(I。)対ゲート電圧(V。s)の関係特性関が示されている。この例のトランジスタは、紙50gm、長さ2gm、チャンネル層の浮さ0.8gmである。ゲート絶様体層は二層に形成されており、下層は3.50人の二酸化ケイ素(S、10g)で、上層は3.00人の変化ケイ素(S、10g)で、上層は3.00人の変化ケイ素(S、12N・)である。上記図において、ゲート電圧が約4.Vになる。ドレイン電圧が急速に低下している。ドレイン電圧値はスレショルド電圧であり、比較的低レベルとなっている事が解る。

なお、上記した要明においては、酸素処理を行うことにより拡散阻止領域を形成しているが、別の気体例えば、窒素を酸素の代わりに用いても同様な効果が得られるものである。 従って本発明は 酸素処理に恢定されるものではない。

[発明の効果]

本発明は以上のように構成されているので、マ スク長の比較的短い抵抗器であっても、その抵抗 値を比較的大きくすることができ、また電界効果

3 … 盖板

14ーゲート絶縁体層

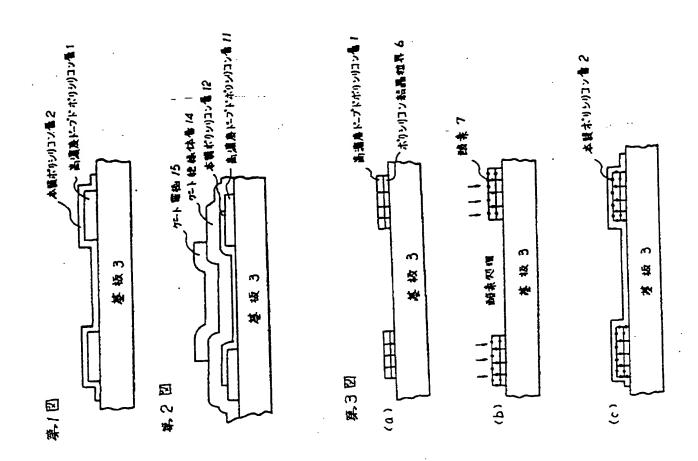
15…ゲート電狂

トランジスタの 合にはマスク長の短いものであってもスレッショルド電圧を比較的低くすることができ、したがって拡抗値の大きい症状器、及びスレッショルド電圧の高い電界効果トランジスタを高密度にかつ容易に形象することができる。

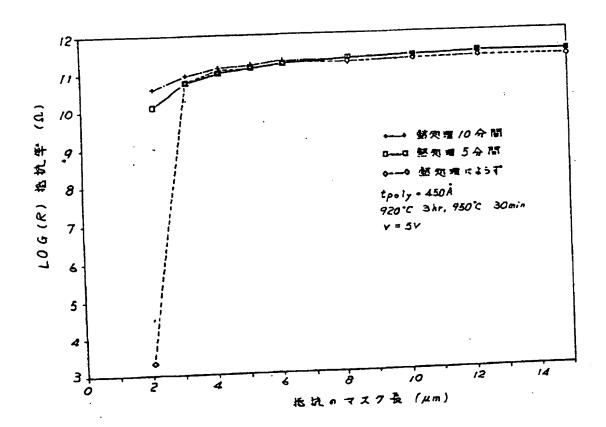
4.団面の資単な政明

1、11…高濃度ドープドポリシリコン層 (第1層

2、12…未ドープド本質ポリシリコン層 (第2層)



李 4 图



第5 团

ドレイン電流 In(A)

